

**SEMICONDUCTOR ACCELEROMETER AND MANUFACTURE THEREOF**

**Publication number:** JP6196722

**Publication date:** 1994-07-15

**Inventor:** YAMAMOTO TOSHIMASA; TAKEUCHI YUKIHIRO

**Applicant:** NIPPON DENSO CO

**Classification:**

- international: **G01P15/08; H01L29/84; G01P15/08; H01L29/66;**  
(IPC1-7): H01L29/84; G01P15/08

- european:

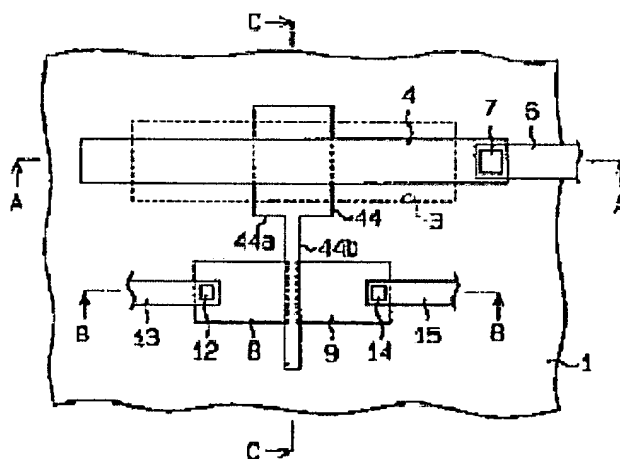
**Application number:** JP19920347250 19921225

**Priority number(s):** JP19920347250 19921225

**Report a data error here**

**Abstract of JP6196722**

**PURPOSE:** To provide a novel transistor-type semiconductor accelerometer which can restrain aging of leakage current and output and manufacture thereof. **CONSTITUTION:** A gate oxide film is arranged on a p-type silicon substrate 1, a lower gate electrode 44 is arranged on the gate oxide film. Also, on both sides of the lower gate electrode 44 in the p-type silicon substrate 1, fixed electrodes 8 and 9 consisting of an impurity diffusion layer are formed in a self-alignment manner for the lower gate electrode 44. Also, above the p-type silicon substrate 1, a movable gate electrode 4 of beam structure is arranged in a predetermined interval to the lower gate electrode 44. Then, an accelerated speed can be detected by the change in current between the fixed electrodes 8 and 9 produced by displacement of the movable upper gate electrode 4 occurring subsequently on action of accelerated speed.



Data supplied from the esp@cenet database - Worldwide

(51) Int.Cl.<sup>5</sup>

H 0 1 L 29/84

G 0 1 P 15/08

識別記号

庁内整理番号

A 9278-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 9 頁)

(21) 出願番号 特願平4-347250

(22) 出願日 平成4年(1992)12月25日

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 山本 敏雅

愛知県刈谷市昭和町1丁目1番地 日本電装 株式会社内

(72) 発明者 竹内 幸裕

愛知県刈谷市昭和町1丁目1番地 日本電装 株式会社内

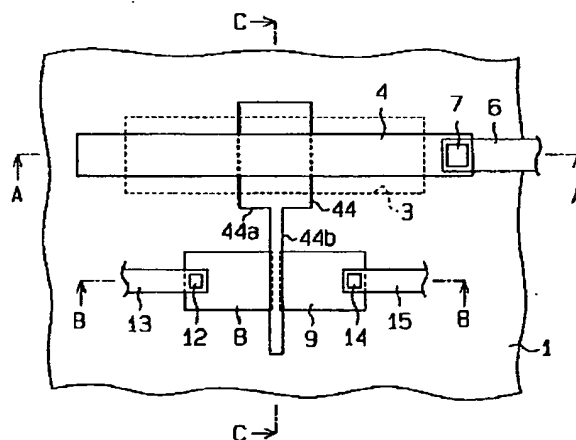
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 半導体加速度センサ及びその製造方法

(57) 【要約】

【目的】 リーク電流、出力の経時変化を抑制し得るようにした新規なトランジスタ型半導体加速度センサ及びその製造方法を提供することにある。

【構成】 P型シリコン基板1上にゲート酸化膜が配置され、ゲート酸化膜上に下部ゲート電極44が配置されている。又、P型シリコン基板1における下部ゲート電極44の両側に不純物拡散層よりなる固定電極8、9が下部ゲート電極44に対し自己整合的に形成されている。又、P型シリコン基板1の上方に梁構造の可動上部ゲート電極4が下部ゲート電極44と所定の間隔を隔てて配置されている。そして、加速度の作用に伴う可動上部ゲート電極4の変位によって生じる固定電極8、9間の電流の変化で加速度が検出される。



1

2

## 【特許請求の範囲】

## 【請求項1】 半導体基板と、

前記半導体基板上に配置されたゲート酸化膜と、  
前記ゲート酸化膜上に配置された下部ゲート電極と、  
前記半導体基板における前記下部ゲート電極の両側に下部ゲート電極に対し自己整合的に形成された不純物拡散層よりなる固定電極と、  
前記半導体基板の上方に前記下部ゲート電極と所定の間隔を隔てて配置された梁構造の可動上部ゲート電極とを備え、加速度の作用に伴う前記可動上部ゲート電極の変位によって生じる前記固定電極間の電流の変化で加速度を検出するようにしたことを特徴とする半導体加速度センサ。

【請求項2】 半導体基板の主表面にゲート酸化膜を形成する第1工程と、

前記ゲート酸化膜上に下部ゲート電極を形成する第2工程と、

前記ゲート酸化膜上及び下部ゲート電極上に犠牲層を形成する第3工程と、

前記犠牲層上に梁形状の可動上部ゲート電極を形成する第4工程と、

前記下部ゲート電極に対し自己整合的に不純物を拡散して前記下部ゲート電極の両側において固定電極を形成する第5工程と、

前記可動上部ゲート電極の変位に伴う前記固定電極間の電流の変化を検出できるように、前記可動上部ゲート電極の下の前記犠牲層をエッチング除去する第6工程とを備えたことを特徴とする半導体加速度センサの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体加速度センサに係り、特に、自動車の車体制御、エンジン制御、エアバック制御等に好適な半導体加速度センサ及びその製造方法に関するものである。

## 【0002】

【従来の技術】 自動車用の加速度センサに要求される性能としては、比較的低レベルの加速度（ $0 \sim \pm 1 \text{ G}$ ）を低レベルの周波数（ $0 \sim 100 \text{ Hz}$ ）で精度よく検出することが挙げられる。尚、ここで、 $1 \text{ G}$ は加速度の単位で、 $9.8 \text{ m/sec}^2$ を表す。

【0003】 ところで、このような加速度センサとしては、従来から圧電効果を利用した圧電式、差動トランスを利用した磁気式、あるいは半導体式でシリコンの微細加工技術を駆使した半導体歪ゲージ式や静電容量式等が広く知られている。この中でも低加速度レベル、低周波数レベルを精度良く検出でき、安価で大量生産にむく方式としては半導体式は最も有望と考えられている。

【0004】 又、静電容量式は歪ゲージ式に比較して、検出感度が大きいという特徴を有している。このような

静電容量型加速度センサの従来例として特開平2-134570号公報に開示されているものを図18に示す。

図18において静電容量型加速度センサの検出部は3枚のシリコン基板120、121、122を絶縁膜である熱酸化膜123を介して直接張り合わせ、接合したものである。シリコン基板120には、エッチング加工により、接合前にシリコンビーム（梁状部）124と可動電極125が予め形成されている。さらに、シリコン基板121、122にも接合前に予めポリシリコンによる固定電極126、127が形成されている。重りの機能を有する可動電極125はシリコンビーム124によって支持されており、これに作用する図の上下方向の加速度の大きさに応じて、可動電極125と固定電極126、127との間の空隙の寸法が変化する。即ち、検出部に作用する加速度に応じて空隙部の静電容量が変化し、この変化をボンディングパッド128を介して、外部の電子回路に接続することで加速度を検出しようとするものである。

【0005】 しかしながら、このような構成の静電容量型加速度センサにおいては、シリコン基板自身を $100 \sim 200 \mu\text{m}$ 程も加工してビームを形成するために生じる高度な加工技術の要求が必要であるとともに、製造コストも増大する。つまり、可動電極を形成するシリコン基板1枚と固定電極を形成するシリコン基板2枚の合計3枚のシリコン基板が必要であり、低コスト化が困難なことである。又、熱酸化膜を介してシリコン基板どうしを接合しなければならないため、プロセス上の熱的制約を受けるだけでなく、可動電極125と固定電極126、127の位置決め精度が劣る。さらに、シリコンビーム124を形成するためには、シリコン基板120を両面から精密に制御してエッチングを行わなければならない、僅かなシリコンビーム124の厚さのばらつきがそのまま加速度を受けた時の空隙の変化のばらつきに反映される。さらには、加速度の検出を静電容量の変化で行うため、静電容量の測定限界より電極面積を小さくできず、小型化が望めなかった。

【0006】 本出願人はこのような点に鑑みて、先に電界効果型トランジスタを利用することにより、半導体技術を応用し超小型で安価に製作することを可能にした新規な半導体加速度センサを特願平4-305708号として提案している。

【0007】 本出願人が先に提案したトランジスタ型加速度センサは、電界効果型トランジスタのゲート電極を基板の上方に所定の間隔を隔てた構造として、加速度によりゲート電極が変位したときゲート電極とチャンネルに印加される電界強度が変化し、またはゲート電極が変位したときゲート幅が変化し、その結果加速度をトランジスタのドレイン電流変化として検知しようとしたものである。

【0008】

【発明が解決しようとする課題】しかしながら、その後検討した結果、リーク電流が大きい、経時変化が比較的大きい等の問題点が見出された。

【0009】即ち、本出願人が先に提案したトランジスタ型半導体加速度センサにおいては、そのプロセス上半導体基板とゲート電極間の絶縁膜を犠牲層としてエアギャップを形成している。従って、チャネルとなる基板上には通常のMOS型トランジスタのようなゲート酸化膜が無くチャネルとなる基板表面が露出した状態となっている。このため表面の物性が不安定となり、表面リーク電流、経時変化が生じるという問題点があった。

【0010】本発明の目的は、上記問題点を鑑み、本出願人が先に提案したトランジスタ型半導体加速度センサに改良を加えることにより、リーク電流、出力の経時変化を抑制し得るようにした新規なトランジスタ型半導体加速度センサ及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】この発明の半導体加速度センサは、半導体基板と、前記半導体基板上に配置されたゲート酸化膜と、前記ゲート酸化膜上に配置された下部ゲート電極と、前記半導体基板における前記下部ゲート電極の両側に下部ゲート電極に対し自己整合的に形成された不純物拡散層よりなる固定電極と、前記半導体基板の上方に前記下部ゲート電極と所定の間隔を隔てて配置された梁構造の可動上部ゲート電極とを備え、加速度の作用に伴う前記可動上部ゲート電極の変位によって生じる前記固定電極間の電流の変化で加速度を検出するようにした半導体加速度センサをその要旨とする。

【0012】この発明の半導体加速度センサの製造方法は、半導体基板の主表面にゲート酸化膜を形成する第1工程と、前記ゲート酸化膜上に下部ゲート電極を形成する第2工程と、前記ゲート酸化膜上及び下部ゲート電極上に犠牲層を形成する第3工程と、前記犠牲層上に梁形状の可動上部ゲート電極を形成する第4工程と、前記下部ゲート電極に対し自己整合的に不純物を拡散して前記下部ゲート電極の両側において固定電極を形成する第5工程と、前記可動上部ゲート電極の変位に伴う前記固定電極間の電流の変化を検出できるように、前記可動上部ゲート電極の下の前記犠牲層をエッチング除去する第6工程とを備えた半導体加速度センサの製造方法をその要旨とするものである。

【0013】

【作用】この発明の半導体加速度センサは、可動上部ゲート電極と下部ゲート電極によりコンデンサが構成され、ゲート酸化膜と下部ゲート電極と固定電極とにより電界効果型トランジスタが構成される。そして、可動上部ゲート電極が加速度により変位し前記コンデンサの静電容量が変化して、前記トランジスタのチャネルに印加される電界強度が変化する。その結果、加速度が電界効果型トランジスタのドレイン電流変化として検出される

ことになる。又、チャネル上にゲート酸化膜が配置されて基板が保護されている。

【0014】この発明の半導体加速度センサの製造方法は、第1工程により半導体基板の主表面にゲート酸化膜が形成され、第2工程によりゲート酸化膜上に下部ゲート電極が形成される。そして、第3工程によりゲート酸化膜上及び下部ゲート電極上に犠牲層が形成され、第4工程により犠牲層上に梁形状の可動上部ゲート電極が形成される。さらに、第5工程により下部ゲート電極に対し自己整合的に不純物が拡散されて下部ゲート電極の両側において固定電極が形成され、第6工程により可動上部ゲート電極の下の前記犠牲層がエッチング除去され、可動上部ゲート電極の変位に伴う固定電極間の電流の変化が検出できる。このようにして、前述の半導体加速度センサが製造される。

【0015】

【実施例】（第1実施例）以下、この発明を具体化した一実施例を図面に従って説明する。

【0016】図1は、本実施例の半導体加速度センサの平面図を示す。又、図2には図1のA-A断面を、図3には図1のB-B断面を、図4には図1のC-C断面を示す。

【0017】図2～図4に示すように、P型シリコン基板1上にはゲート酸化膜43が形成されている。又、ゲート酸化膜43上には、下部（固定）ゲート電極44が配置されており、この下部ゲート電極44はポリシリコンよりなる。さらに、ゲート酸化膜43及び下部ゲート電極44上には、絶縁膜45及び絶縁膜2が形成され、絶縁膜45、2はSiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>等よりなる。又、絶縁膜45の上には、絶縁膜2の無い長形状の領域、即ち、空隙部3が形成されている（図1参照）。図1に示すように、前述の下部ゲート電極44は長形状部44aとその長形状部44aから延びる帯状部44bとからなり、空隙部3の底面部に長形状部44aが配置され、帯状部44bは空隙部3の外部において延設されている。さらに、絶縁膜2上には、空隙部3を架設するように両持ち梁構造の可動上部ゲート電極4が配置されている。この可動上部ゲート電極4は、ポリシリコンよりなる。

【0018】尚、可動上部ゲート電極4の下部における絶縁膜2の空隙部3は、犠牲層としてエッチングされることにより形成されるものである。この犠牲層のエッチングの際には、エッチング液として、可動上部ゲート電極4及び絶縁膜45がエッチングされず、犠牲層である絶縁膜2がエッチングされるエッチング液が使用される。

【0019】ここで、犠牲層である絶縁膜2がエッチングされるエッチング液に対して、ゲート酸化膜43がエッチングされないような場合には、絶縁膜45は無くてもよい。

【0020】又、絶縁膜2上には層間絶縁膜5が配置され、その上にはコンタクトホール7を介して可動上部ゲート電極4と電気的接続をするためのアルミ配線6が配置されている。

【0021】図3において、P型シリコン基板1における下部ゲート電極44の帯状部44bの両側には不純物拡散層からなる固定電極8、9が形成されている。この固定電極8、9は、下部ゲート電極44の帯状部44bに対して自己整合的にP型シリコン基板1にイオン注入等によりN型不純物を導入することによって形成されたものである。

【0022】尚、下部ゲート電極44及び可動上部ゲート電極（両持ち梁）4はポリシリコンの他に、タングステン等の高融点金属を用いてもよい。又、図1に示すように、固定電極8、9はコンタクトホール12、14を介してアルミ配線13、15と電気的に接続されている。そして、アルミ配線13、15及び6は外部の電子回路と接続されている。

【0023】又、固定電極8、9と下部ゲート電極44及びゲート酸化膜43とで、電界効果型トランジスタを構成している。従って、図3に示すように、下部ゲート電極44に電圧が印加されるとP型シリコン基板1における固定電極8、9間には、反転層16が形成され、固定電極8、9間にドレイン電流が流れることとなる。

【0024】次に、このように構成した半導体加速度センサの製造工程を図5～図14を用いて説明する。尚、センサ処理回路にMOSFETを用いているものとする。

【0025】図5に示すように、P型シリコン基板17を用意し、その主表面に熱酸化によりゲート酸化膜18を形成する。そして、図6に示すように、ゲート酸化膜18上にポリシリコンを成膜し、フォトリソ工程を経て、ドライエッチング等でセンサの下部ゲート電極19、20及び回路部のトランジスタのゲート電極21を形成する。ここで、下部ゲート電極19及び20は図6の断面以外の部分で接続されている。

【0026】次に、図7に示すように、電極19、20、21を含めたゲート酸化膜18上に、犠牲層エッチング液にエッチングされない絶縁膜22を成膜し、その上に一部が犠牲層となる絶縁膜23を形成する。

【0027】さらに、図8に示すように、絶縁膜23上にポリシリコンを成膜し、フォトリソ工程を経てドライエッチング等でセンサの可動上部ゲート電極24をパターンニングする。

【0028】引き続き、図9に示すように、N型拡散層よりなるセンサの固定電極及びトランジスタのソース・ドレイン領域を形成するために、フォトリソ工程を経

て、レジスト25を用いて絶縁膜23に開口部26、27、28、29を形成する。

【0029】さらに、図10に示すように、絶縁膜23の開口部26、27、28、29からセンサの下部ゲート電極20及びトランジスタのゲート電極21に対して自己整合的にイオン注入等によって不純物を導入して、N型拡散層からなるセンサの固定電極30、31、トランジスタのソース・ドレイン領域32、33を形成する。

【0030】次に、図11に示すように、可動上部ゲート電極24、下部ゲート電極19、20、ゲート電極21及び固定電極30、31、ソース・ドレイン領域32、33とアルミ配線を電気的に絶縁するための層間絶縁膜34を成膜する。そして、図12に示すように、層間絶縁膜34に固定電極30、31、ソース・ドレイン領域32、33のそれぞれとアルミ配線を電気的に接続するためのコンタクトホール35、36、37、38をフォトリソ工程を経て形成する。

【0031】さらに、図13に示すように、電極材料であるアルミニウムを成膜して、フォトリソ工程を経てアルミ配線39、40、41、42等を形成する。そして、図14に示すように、層間絶縁膜34の一部と絶縁膜23の一部である犠牲層をエッチングする。

【0032】このようにして、トランジスタ型半導体加速度センサの製作工程が終了する。次に、加速度センサの作動を図1～図4を用いて説明する。変位可能な可動上部ゲート電極4と電界効果型トランジスタの下部ゲート電極44でコンデンサを形成している。ここで、半導体加速度センサが加速度を受けて可動上部ゲート電極4が変位すると、可動上部ゲート電極4と下部ゲート電極44で構成される静電容量が変化し、電界効果型トランジスタのドレイン電流 $I_d$ が次式に従って変化する。

【0033】

【数1】

$$I_d = \frac{W \cdot \mu \cdot C_m}{2L} (V_g - V_{th})^2$$

【0034】・・・(1)

ここで、 $\mu$ はキャリア移動度、 $L$ 、 $W$ 、 $V_{th}$ はそれぞれ電界効果型トランジスタ素子のチャネル長、チャネル幅及びしきい値電圧を示し、 $V_g$ はゲート電圧である。又、 $C_m$ はゲート絶縁膜43の静電容量 $C_{ox}$ と可動上部ゲート電極4と下部ゲート電極44の間の静電容量 $C_{gap}$ とを直列接続した合成容量であり、次式で表される。

【0035】

【数2】

$$C_m = \frac{C_{ox} \cdot C_{gap}}{C_{ox} + C_{gap}}$$

【0036】・・・(2)

従って、本半導体加速度センサは、可動上部ゲート電極4と下部ゲート電極44とで構成される静電容量が加速度を受けて変化する状態を、電界効果型トランジスタの出力変化(ドレイン電流変化)として検知する。

【0037】このように本実施例では、P型シリコン基板17(半導体基板)の主表面にゲート酸化膜18を形成し(第1工程)、ゲート酸化膜18上に下部ゲート電極19,20を形成する(第2工程)。そして、ゲート酸化膜18上及び下部ゲート電極19,20上に絶縁膜23(犠牲層)を形成し(第3工程)、絶縁膜23上に梁形状の可動上部ゲート電極24を形成する(第4工程)。さらに、下部ゲート電極20に対し自己整合的に不純物を拡散して下部ゲート電極20の両側において固定電極30,31を形成し(第5工程)、可動上部ゲート電極24の変位に伴う固定電極30,31間の電流の変化を検出できるように、可動上部ゲート電極24の下

の絶縁膜23をエッチング除去した(第6工程)。  
【0038】その結果、図1～図4に示すように、P型シリコン基板1(半導体基板)と、P型シリコン基板1上に配置されたゲート酸化膜43と、ゲート酸化膜43上に配置された下部ゲート電極44と、P型シリコン基板1における下部ゲート電極44の両側に下部ゲート電極44に対し自己整合的に形成された不純物拡散層よりなる固定電極8,9と、P型シリコン基板1の上方に下部ゲート電極44と所定の間隔を隔てて配置された梁構造の可動上部ゲート電極4とを備え、加速度の作用に伴う可動上部ゲート電極4の変位によって生じる固定電極8,9間の電流の変化で加速度を検出する。つまり、P型シリコン基板1上にゲート酸化膜43を介して配置された下部ゲート電極44と、P型シリコン基板1における下部ゲート電極44の両側に下部ゲート電極44に対し自己整合的に形成された不純物拡散層よりなる固定電極8,9とから電界効果型トランジスタを構成し、P型シリコン基板1の上方に所定の間隔を隔てて配置された梁構造の可動上部ゲート電極4を備え、加速度の作用に伴う可動上部ゲート電極4の変位によって生じる電界効果型トランジスタの出力変化(ドレイン電流変化)で加速度を検出するようにした。

【0039】このように、下部ゲート電極44を有したトランジスタ型半導体加速度センサにおいては、下部ゲート電極44が直接ゲート酸化膜43上に形成されておりチャンネル上にゲート酸化膜43が配置され基板1が保護されている。このことにより、トランジスタ特性の経時変化、ドレイン電流のドリフト等を生じること無く、トランジスタを動作させるための電圧をチャンネルに印加することが可能となる。よって、チャンネル付近の構造が通常のMOS型トランジスタと同様であり、リーク電流、出力の経時変化を抑制し、長寿命の加速度センサが得られることになる。

【0040】又、これらのプロセスは、全てICの作製プロセスそのもの、あるいは、その流用であるため、ICで構成された回路部とセンサ構造体の一体化が、著しく容易に可能となる。

【0041】尚、本実施例で図1では、下部ゲート電極44を長方形部44aと帯状部44bとから構成し、長方形部44aの上方に可動上部ゲート電極4を配置するとともに帯状部44bに固定電極8,9を形成したが、同一箇所に下部ゲート電極44と可動上部ゲート電極4と固定電極8,9とを配置してもよい。

(第2実施例)次に、第2実施例を第1実施例との相違点を中心に説明する。

【0042】図15に本実施例の半導体加速度センサの平面図を示し、図16に図15のD-D断面を示す。図1に示す第1実施例では、可動上部ゲート電極に対して、1つのトランジスタを配置していたが、図15に示す第2実施例では、可動上部ゲート電極46に対して、2つの電界効果型トランジスタが配置されている。そして、そのそれぞれの下部ゲート電極47,48が可動上部ゲート電極46に対して、部分的に重なるように対称に配置されている。

【0043】それぞれのトランジスタは、下部ゲート電極47,48と、そのそれぞれに対して、両側に配置されたN型拡散層よりなる固定電極49,50及び51,52から構成されている。又、それぞれの固定電極49,50,51,52はコンタクトホール53,54,55,56を介してアルミ配線57,58,59,60と接続されている。

【0044】エッチング領域61は、図示されていない絶縁膜のうち犠牲層としてエッチングされる領域を示し、犠牲層エッチングを行うことで、可動上部ゲート電極46(ポリシリコン)は2箇所の固定端62,63で固定された可動構造となる。

【0045】図16において、可動上部ゲート電極46に電圧を印加すると、可動上部ゲート電極46と下部ゲート電極47,48で構成される静電容量とゲート酸化膜容量に応じて決まる電圧が下部ゲート電極47,48に印加され、電界効果型トランジスタのドレイン電流が流れる。

【0046】次に、二次元検出可能な加速度センサの作動を、図16を用いて説明する。本加速度センサは、加速度を受けて、図16に示すz方向に可動上部ゲート電極46が変位した場合には、可動上部ゲート電極46と下部ゲート電極47,48との間のギャップが小さくなるために、その静電容量が増大し、従って、先に示した(1),(2)式にしたがってドレイン電流が増大する。

【0047】一方、本半導体加速度センサが、加速度を受けて、図16に示すx方向に可動上部ゲート電極46が変位した場合には、下部ゲート電極47,48との間

の重なり面積が一方は増大し他方は減少する。その結果、可動上部ゲート電極46と下部ゲート電極47、48との間の静電容量が一方は増大し他方は減少する。よって、(1)、(2)式に従って、ドレイン電流は一方が増大し、他方が減少する。

【0048】このように、本半導体加速度センサは、2つの電流量の増減で二次元の加速度を検出することができる。このように本実施例では、トランジスタを2組配置し、その下部ゲート電極47、48の一部が可動上部ゲート電極46と重なるような構造にし、可動上部ゲート電極46が加速度を受けて変位したときに、その重なり部分の面積が一方は増加し他方は減少する構造とした。こうすることで、2つのトランジスタの電流の増減から、梁の水平及び垂直方向の加速度を検出することが可能となる。即ち、2つの電流量が同相で変化した場合には、梁は基板に対して垂直方向に変位し、2つの電流量が逆相で変化した場合には、梁は、基板に対して水平方向に変位したものとして加速度を検出することができる。このことは、1つの加速度検出構成で二次元の検出方向をもつことを可能とするものである。

(第3実施例) 次に、第3実施例を第2実施例との相違点を中心に説明する。

【0049】図17に本実施例の半導体加速度センサの斜視図を示す。本実施例は、三次元の加速度を検出する三次元トランジスタ型半導体加速度センサとしたものである。

【0050】シリコン基板46上にセンサ部65がその梁の長手方向が図中のy方向になるように配置されている。又、シリコン基板46上にセンサ部66がその梁の長手方向が図中のx方向になるように配置されている。

【0051】つまり、下部ゲート電極67、68を有する可動上部ゲート電極69と、下部ゲート電極70、71を有する可動上部ゲート電極72とが配置されるとともに、固定電極73、74、75、76、77、78、79、80が配置されている。その他の絶縁層、アルミ配線、コンタクトホール等は省略されている。既に述べたように、センサ部65は電極73と74及び75と76の間の電流量の増減で、x方向とz方向の加速度を検出することができる。さらに、センサ部66は、電極77と78及び79と80との間の電流量の増減で、y方向とz方向の加速度を検出することができる。

【0052】従って、このように第2実施例に示すトランジスタ型半導体加速度センサを同一シリコン基板上に互いに直交して2個配置することで三次元の加速度センサを実現できる。よって、1つのシリコンチップ上で三次元の加速度の検出が可能になる。

【0053】尚、この発明は上記各実施例に限定されるものではなく、例えば、各半導体加速度センサはP型基板について説明してきたが、N型基板で拡散層の不純物をP型としたものでもよい。

【0054】又、各実施例は両持ち梁で示したが、片持ち梁でもよい。さらに、各実施例では検出する電流として(1)式の飽和領域のドレイン電流で説明したが、線形領域のドレイン電流を検出に用いることも可能である。

【0055】

【発明の効果】以上詳述したようにこの発明によれば、リーク電流、出力の経時変化を抑制し得ることができる。優れた効果を発揮する。

【図面の簡単な説明】

【図1】第1実施例の半導体加速度センサの平面図である。

【図2】図1のA-A断面図である。

【図3】図1のB-B断面図である。

【図4】図1のC-C断面図である。

【図5】半導体加速度センサの製造工程を示す断面図である。

【図6】半導体加速度センサの製造工程を示す断面図である。

【図7】半導体加速度センサの製造工程を示す断面図である。

【図8】半導体加速度センサの製造工程を示す断面図である。

【図9】半導体加速度センサの製造工程を示す断面図である。

【図10】半導体加速度センサの製造工程を示す断面図である。

【図11】半導体加速度センサの製造工程を示す断面図である。

【図12】半導体加速度センサの製造工程を示す断面図である。

【図13】半導体加速度センサの製造工程を示す断面図である。

【図14】半導体加速度センサの製造工程を示す断面図である。

【図15】第2実施例の半導体加速度センサの平面図である。

【図16】図15のD-D断面図である。

【図17】第3実施例の半導体加速度センサの斜視図である。

【図18】従来技術による半導体加速度センサの断面図である。

【符号の説明】

1 半導体基板としてのP型シリコン基板

4 可動上部ゲート電極

8, 9 固定電極

17 半導体基板としてのP型シリコン基板

18 ゲート酸化膜

19, 20 下部ゲート電極

23 犠牲層としての絶縁膜

11

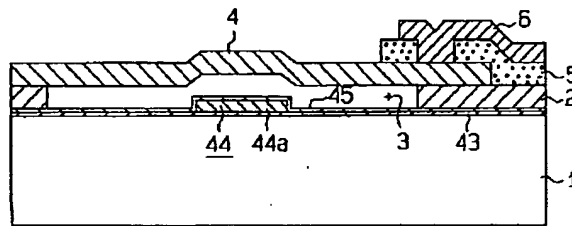
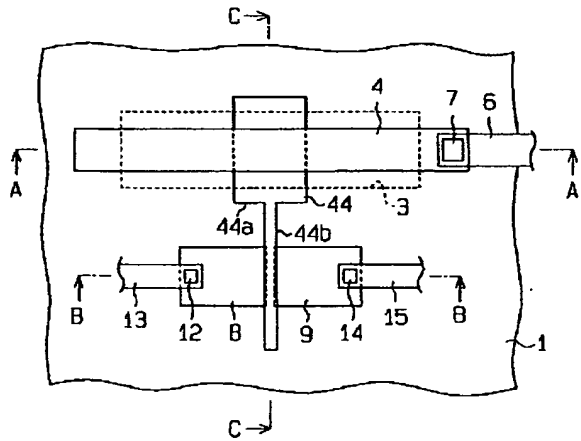
12

24 可動上部ゲート電極  
30, 31 固定電極

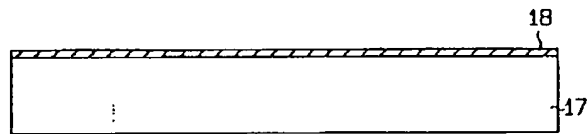
43 ゲート酸化膜  
44 下部ゲート電極

【図1】

【図2】

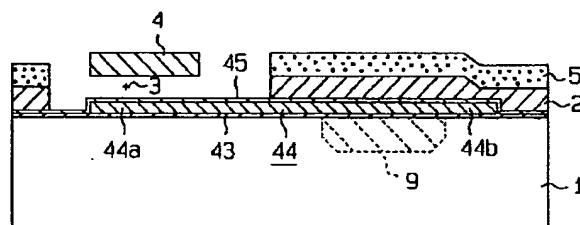
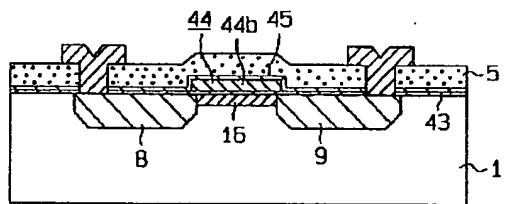


【図5】



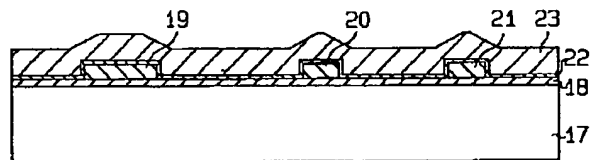
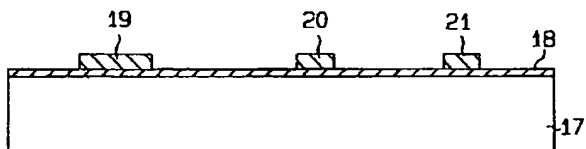
【図3】

【図4】



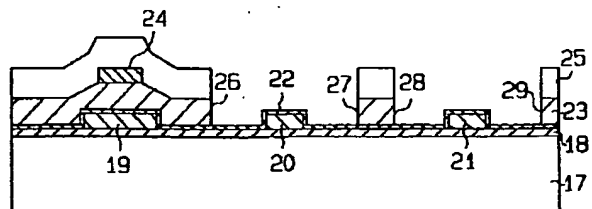
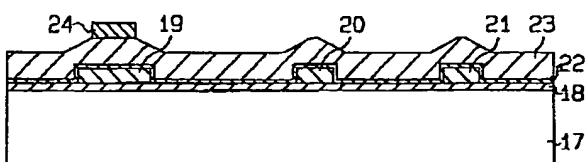
【図7】

【図6】



【図9】

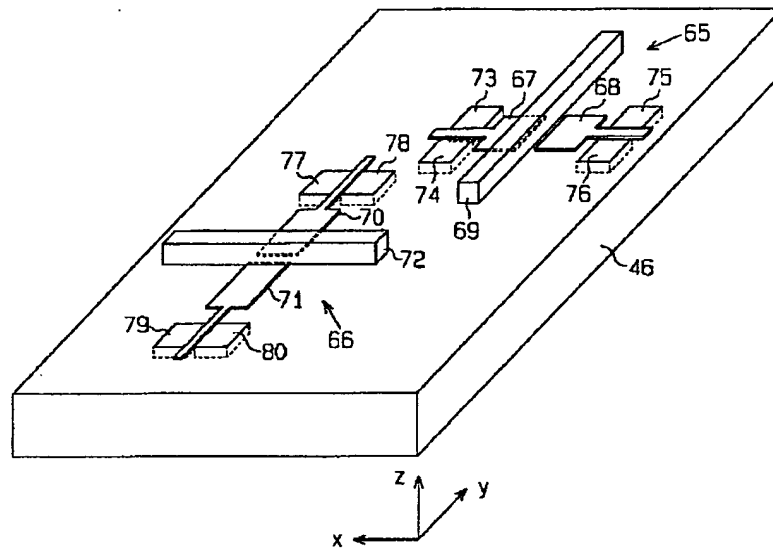
【図8】







【図17】



【図18】

